

[Fig. 1]

- 13: High-frequency amplifier
- 14: Frequency converter
- 15: Local oscillator
- 17: Detection circuit
- 18: Digital multiplier
- 19: Digital LPF
- 20: Digital divider
- 21: Register circuit
- 22: Digital multiplier (shift register)
- 26: Controller (CPU)
- 23: Digital comparator
- 24: Selector circuit
- A: AGC circuit
- B: Noise clamping circuit (NCC)

[Fig. 2]

A: In this case, decimal '100' is shifted by a single bit to output decimal '200'

[Fig. 3]

2: High-frequency amplifier

3: Frequency converter

4: Local oscillator

6: Gain control intermediate frequency amplifier

7: Noise clamping circuit

8: Detection circuit

A: Output

Q65193

特許出願番号 5470727

特願2000-206696

提出日 平成12年 7月 7日
頁 1/ 3

（本発明の）図面

（図1）

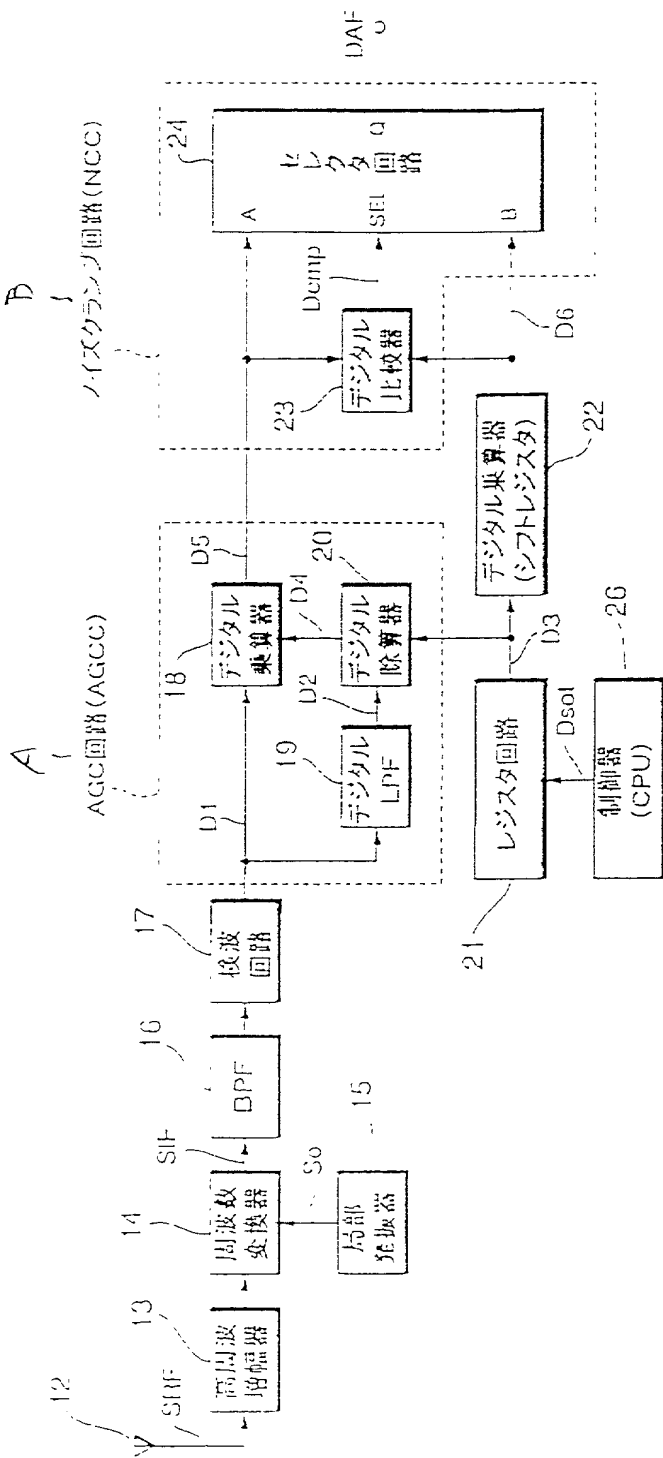
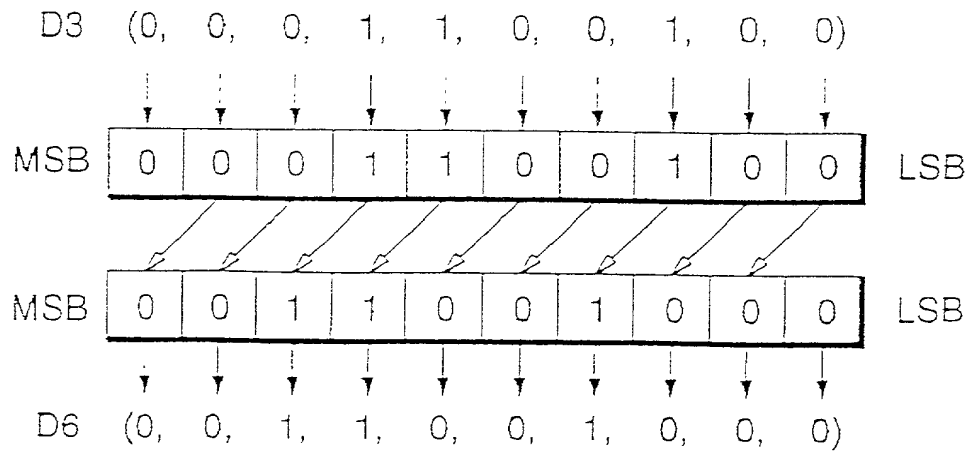


Fig. 1

提出日 平成 12 年 7 月 7 日
整理番号 54P0727 特願 2000-206696 頁 2/ 3

{ 図 2 }



(10進数の「100」を1ビットシフトして
10進数の「200」を出力する場合の例)

5
A

Fig 2

特許番号 5410727

提出日 平成12年 7月 7日
特願2000 206600

頁: 3/ 3

(図3)

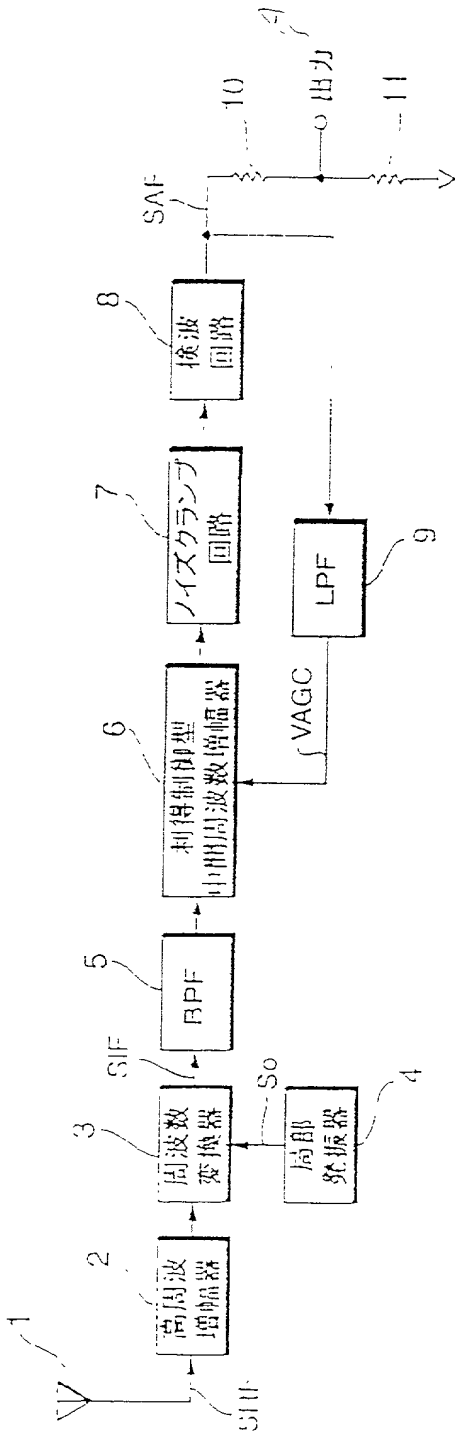


Fig. 3

FIG. 3